

# PATENT ABSTRACTS OF JAPAN

(11) Publication number : 62-051093

(43) Date of publication of application : 05.03.1987

(51)Int.Cl. G11C 11/34

(21)Application number : 60-189502 (71)Applicant : HITACHI LTD

(22) Date of filing : 30.08.1985 (72) Inventor : SHINODA KOJI

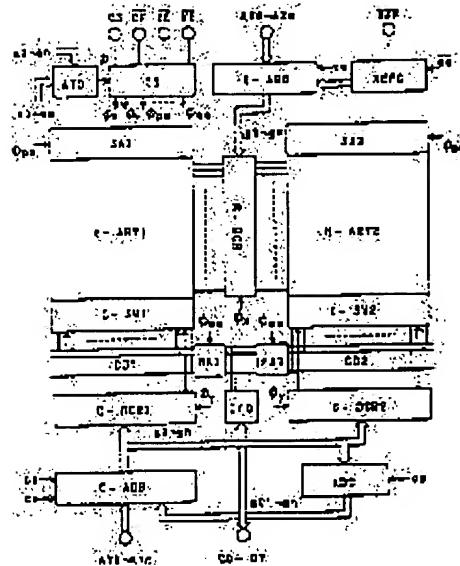
ISHIHARA MASAMICHI

## (54) SEMICONDUCTOR MEMORY DEVICE

(57) Abstract:

**PURPOSE:** To obtain both functions of a static column mode and a page mode by providing a function for directly transmitting an address signal supplied to an address buffer and a latch function for holding the address signal synchronously with the edge of a control signal.

CONSTITUTION: A column address buffer C-ADB realizes three types of continuous access modes. Therefore, it is operated by a timing signal ce formed based on a chip selecting signal CE and provided with a function for directly transmitting as it is the address signals AY0WAYn of a column system consisting of n+1 bits supplied from an external terminal, a latch function for holding the address signals AY0WAYn synchronously with the edge of an internal control signal cs and a multiplexed address signal formed by an address counter circuit ADC.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than  
the examiner's decision of rejection or  
application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's  
decision of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

④日本国特許庁(JP) ⑤特許出願公開  
⑥公開特許公報(A) 昭62-51093

⑦Int.Cl.<sup>1</sup> 識別記号 厅内整理番号 ⑧公開 昭和62年(1987)3月5日  
G 11 C 11/34 101 8522-5B

審査請求 未請求 発明の数 1 (全9頁)

⑨発明の名称 半導体記憶装置

⑩特願 昭60-189502  
⑪出願 昭60(1985)8月30日

⑫発明者 篠田 孝司 青梅市今井2326番地 株式会社日立製作所デバイス開発センター内

⑬発明者 石原 政道 青梅市今井2326番地 株式会社日立製作所デバイス開発センター内

⑭出願人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑮代理人 弁理士 小川 勝男 外1名

明細書

発明の名称 半導体記憶装置

特許請求の範囲

1. 外部端子から供給されるアドレス信号をそのまま伝える端子と、外部端子から供給される所定の制御信号のエッジに同期して外部端子から供給されるアドレス信号を保持するラッチ機能を備えたアドレスバッファを含むことを特徴とする半導体記憶装置。

2. 上記アドレスバッファは、カラム系のアドレス信号であることを特徴とする特許請求の範囲第1項記載の半導体記憶装置。

3. 上記アドレスバッファは、外部端子から供給される所定の制御信号の組み合わせにより、その動作モードが指示され、外部端子から供給されるアドレス信号が初期値とされ、所定の制御信号に従って歩進動作を行うアドレスカウンタ回路により形成されるアドレス信号と上記外部端子から供給されるアドレス信号とを選択的に伝えるマルチアレクサ機能を持つものであることを特徴とする

特許請求の範囲第1又は第2項記載の半導体記憶装置。

発明の詳細な説明

(技術分野)

この発明は、半導体記憶装置に関するもので、例えば、周辺回路がスタティック型回路により構成されたダイナミック型RAM(ランダム・アクセス・メモリ)を利用して有効な技術に関するものである。

(背景技術)

ダイナミック型RAMにおける通常アクセス動作として、ロウ系選択回路により1つのワード線を選択状態にしておいて、カラムアドレスストローブ信号CASに同期してカラム系のアドレス信号を変化させてデータ線を次々に切り換えることによって、上記ワード線に結合されたメモリセルの通常的な読み出し/書き込み動作を行うようにしたページモードと、カラム系選択回路をスタティック型回路により構成し、ワード線を選択状態にしたままカラムアドレス信号を変化させてデータ

タ線を次々に切り換えることによって、上記ワード線に結合されたメモリセルの連続的な読み出し／書き込み動作を行うようにした、いわゆるスタティックカラムモードとが公知である。

前者のページモードは、カラムアドレスストローブ信号をクロックとして外部端子から供給されるアドレス信号の取り込みを行うので、比較的高速に連続アクセスが可能になる反面、外部端子からクロック信号を供給する必要がある。後者のカラムスタティックモードは、カラム系のアドレス信号の変化させるのみで連続アクセスが可能になる反面、外部端子から供給されるアドレス信号のスルー（アドレス信号の変化タイミング差）によってその動作速度が比較的遅くなる。すなわち、多ビットからなるアドレス信号のうちの最も遅く変化するアドレス信号を持ってカラム選択動作が行われることになる。このように、両者には、それぞれ一長一短があり、従来のダイナミック型RAMは、上記いずれかの機能を持つようになれるものである。

を備えたアドレスバッファを用いて、ページモードとスタティックカラムモードの両機能を実現するものである。また、アドレスバッファにマルチプレクサ機能を持たせて外部端子からのアドレス信号と内部で形成されたアドレス信号とを選択的に受け付けるようにし、これらを外部制御端子で制御して上記内部アドレス信号による連続アクセスも行えるようにするものである。

#### 〔実施例〕

第1図には、この発明の一実施例のダイナミック型RAMのブロック図が示されている。同図のダイナミック型RAMは、特に制限されないが、8ビットの単位でアクセスするダイナミック型RAMであり、公知の半導体集積回路の製造技術によって、单結晶シリコンのような半導体基板上において形成される。

この実施例では、特に制限されないが、メモリアレイは、M-ARY1, M-ARY2のように左右2つに分けて配置されている。各メモリアレイM-ARY1, M-ARY2において、8本の

なお、上記連続アクセス機能を備えたダイナミック型RAMに関しては、例えば日経マグロウヒル社1983年7月18日付の雑誌「日経エレクトロニクス」第169頁ないし193頁、細田立製作所昭和58年9月発行「日立ICメモリデータブック」参照）。

#### 〔発明の目的〕

この発明の目的は、動作の多様化と高速動作化を図ったダイナミック型RAMを提供することにある。

この発明の前記ならびにその他の目的と新規な特徴は、この明細書の記述および添付図面から明らかになるであろう。

#### 〔発明の概要〕

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記の通りである。すなわち、外部端子から供給されるアドレス信号をそのまま伝える機能と、外部端子から供給される所定の制御信号のエッジに同期して外部端子から供給されるアドレス信号を保持するラッチ機能

相補データ線対が一組とされ、同図においては横方向に向かうよう形成されている。すなわち、メモリアレイを8ブロック（マット）に分けて構成するのではなく、8ビットのデータ線、同一のメモリアレイ内の互いに隣合う8本の相補データ線対に対して、1つのアドレスが割り当てられ、同図では横方向に順に配置される。このようにすることによって、メモリアレイ及びその周辺回路の簡素化を図ることができる。上記メモリアレイM-ARY1, M-ARY2にマトリックス配線されるメモリセルは、情報記憶用のキャッシュとアドレス選択用のMOSFBTとからなる1MOS型のダイナミック型メモリセルが用いられる。このメモリセルのアドレス選択用のMOSFETのゲートは、ワード線に結合され、そのドレイン（ソース）は、データ線に結合される。

ロウ系アドレス選択線（ワード線）は、上記各メモリアレイM-ARY1, M-ARY2に対して左右の横方向に向かうよう形成され、同図では縦方向に順に配置される。

上記相補データ線対は、カラムスイッテ C-SW1, C-SW2を介して 8 本の共通相補データ線対 CD1, CD2 に選択的に接続される。同図においては、上記共通相補データ線対は接方向に走っている。これらの共通相補データ線対 CD1, CD2 は、メインアンプ MA1, MA2 の入力端子にそれぞれ接続される。

センスアンプ SA1, SA2 は、上記メモリアレイの相補データ線対の微少読み出し電圧を受け、そのタイミング信号  $\phi_{RD}$  により動作状態とされ上記読み出し電圧に従って相補データ線対をハイレベル/ロウレベルに増幅するものである。

ロウアドレスバッファ R-ADB は、チップ選択信号  $\overline{CE}$  に基づいて形成されたタイミング信号  $c_0$  により動作状態にされ、外部端子から供給される  $m+1$  ビットからなるロウ系のアドレス信号 AX0 ~ AXm を受け、内部相補アドレス信号  $\overline{a}_0 \sim \overline{a}_m$ ,  $\overline{\overline{a}}_0 \sim \overline{\overline{a}}_m$  を形成して、ロウアドレスデコーダ R-DCR へ送出する。なお、以後の説明及び図面においては、一対の内部相補アドレス

信号、例えば  $a_0$ ,  $\overline{a}_0$  を内部相補アドレス信号  $\overline{a}_0$  と表すこととする。したがって、上記内部相補アドレス信号  $\overline{a}_0 \sim \overline{a}_m$ ,  $\overline{\overline{a}}_0 \sim \overline{\overline{a}}_m$  は、内部相補アドレス信号  $\overline{a}_0 \sim \overline{a}_m$  と表す。ロウアドレスデコーダ R-DCR は、上記アドレス信号  $\overline{a}_0 \sim \overline{a}_m$  に従って 1 本のワード線をワード線選択タイミング信号  $\phi_w$  に同期して選択する。

カラムアドレスバッファ C-ADB は、後述するような 3 種類の連続アクセスモードを実現するため、チップ選択信号  $\overline{CE}$  に基づいて形成されたタイミング信号  $c_0$  により動作状態にされ、外部端子から供給される  $n+1$  ビットからなるカラム系のアドレス信号 AY0 ~ AYn をそのまま伝える機能及び後述する内部制御信号  $c_n$  のエッジに同期して上記アドレス信号 AY0 ~ AYn を保持するラッチ機能及び後述するアドレスカウンタ回路 ADC により形成されたアドレス信号を受け付けるマルチプレクサ機能とが設けられる。なお、上記内部相補アドレス信号の表し方に従って、図面及び以下の説明では、内部相補アドレス信号  $\overline{a}_0 \sim \overline{a}_m$

$\overline{a}_0 \sim \overline{a}_m$ ,  $\overline{\overline{a}}_0 \sim \overline{\overline{a}}_m$  を内部相補アドレス信号  $\overline{a}_0 \sim \overline{a}_m$  と表す。

カラムアドレスバッファ C-ADB により形成された内部相補アドレス信号  $\overline{a}_0 \sim \overline{a}_m$ ,  $\overline{\overline{a}}_0 \sim \overline{\overline{a}}_m$  は、カラムデコーダ C-DCR に伝えられる。カラムデコーダ C-DCR は、その動作がデータ線選択タイミング信号  $\phi_y$  によって制御され、それに伝えられたアドレス信号をデコードしてデータ線選択タイミング信号  $\phi_y$  に同期して 8 本からなるデータ線の選択動作を行う。

カラムスイッテ C-SW1, C-SW2 は、上記データ線の選択信号を受け、上記 8 対の相補データ線を対応する 8 対の共通相補データ線に接続する。なお、同図では、例示的に示された上記相補データ線対及び共通相補データ線対は、1 本の線により実現している。

入出力回路 I/O は、読み出しのためのデータ出力バッファと、書き込みのためのデータ入力バッファとにより構成される。上記データ出力バッファは、読み出し時に動作状態にされ、動作状態に

された一方のメインアンプ MA1 又は MA2 の出力信号を增幅して外部端子 D0 ~ D7 へ送出する。また、上記データ入力バッファは、書き込み動作の時に動作状態にされ、外部端子 D0 ~ D7 から供給される書き込み信号を上記共通相補データ線対 CD1 又は CD2 に供給する。なお、同図ではこの書き込み系の信号経路が省略されている。上記データ出力バッファとデータ入力バッファは、トライステート出力機能を持ち、それが非動作状態におけるとき、その出力をハイインピーダンス（又はフローティング）状態にさせる。

内部制御信号発生回路 TG は、4 つの外部制御信号  $\overline{CE}$  (チップイネーブル信号),  $\overline{WE}$  (ライトイネーブル信号),  $\overline{OE}$  (出力イネーブル信号) と、CS (クロックドシリアル信号) と、特に制限されないが、上記アドレス信号  $\overline{a}_0 \sim \overline{a}_m$  及び  $\overline{a}_0 \sim \overline{a}_m$  を受けるアドレス信号変化検出回路 ATD で形成されたアドレス信号の変化検出信号  $\phi$  を受けて、その動作モードに応じたメモリ動作に必要な各種タイミング信号を形成して送出を

れる。上記のようなアドレス信号変化検出回路 A - D により形成された検出信号  $\alpha$  に基づいて内部動作のための一連のタイミングを形成することにより RAM を内部同期式により動作させる。これにより、上記のようなダイナミック型メモリセルを用いたにもかかわらず、外部からはスタティック型 RAM と同じようにアクセスすることができる（いわゆる、擬似スタティック型 RAM を構成するものである）。このような動作のために、上記アドレスバッファ R - ADB, C - ADB 及びアドレスデコーダ R - DCR, C - DCRI, C - DCR 2 等の各周辺回路は、CMOS（補助型 MOS）スタティック型回路によって構成される。

特に制限されないが、自動リフレッシュ回路 R - BFC は、リフレッシュアドレスカウンタ、タイマー等を含んでおり、外部端子から供給されたリフレッシュ信号  $\overline{RBP}$  をロウレベルにすることにより起動される。すなわら、内部チップイネーブル信号  $\overline{C_0}$  がハイレベルとされた状態（保持）状態において、リフレッシュ信号  $\overline{RBP}$  をロウレベ

ルにすると自動リフレッシュ回路 R - BFC は、図示しない制御信号によってロウアドレスバッファ R - ADB の入力部に設けられたマルチプレクサを切り換えて、内蔵のリフレッシュアドレスカウンタにより形成されたリフレッシュアドレス信号をロウデコード R - DCR に伝えて一本のワード選択と、センスアンプ SA の増幅動作によるリフレッシュ動作（オートリフレッシュ）を行う。また、リフレッシュ信号  $\overline{RBP}$  をロウレベルにしつづけるとタイマーが作動して、一定時間毎にリフレッシュアドレスカウンタが歩進させられて、この間連続的なリフレッシュ動作（セルフリフレッシュ）を行うものである。

第2図には、上記カラムアドレスバッファ C - ADB とアドレスカウンタ回路 ADC の一実施例の回路図が示されている。同図において、PチャンネルMOSFET は、そのチャンネル部分に直線が付加されることにより、NチャンネルMOSFET と区別される。

同図には、代表として 1 ビット分のアドレスバ

ッファの単位回路が示されている。外部端子 AY $_n$  から供給されるアドレス信号は、内部チップイネーブル信号  $C_0$  によって制御される NAND (NAND) ゲート回路 G1 を介してマルチプレクサ回路を構成する一方の入力端子である PチャンネルMOSFET Q2 と NチャンネルMOSFET Q3 のゲートに供給される。上記 PチャンネルMOSFET Q2 のソースと電源電圧 Vcc との間に、反転の制御信号  $\overline{C_0}$  を受ける PチャンネルMOSFET Q1 が設けられ、NチャンネルMOSFET Q3 のソースと回路の接地電位点との間に、制御信号  $C_0$  を受ける NチャンネルMOSFET Q4 が設けられている。なお、上記外部端子から供給されるアドレス信号 AY $_n$  と内部チップイネーブル信号とを受ける CMOS ナンドゲート回路に、上記制御信号  $C_0$ ,  $\overline{C_0}$  を受けるスイッチ MOSFET Q1, Q4 を付加することにより、両回路を 1 つの回路として構成するものであってもよい。

上記マルチプレクサ回路の他方の入力端子であ

る PチャンネルMOSFET Q6 と NチャンネルMOSFET Q7 のゲートには、アドレスカウンタ回路 ADC の対応された出力信号  $\overline{a_n}$  が供給される。これらの MOSFET Q6, Q7 にも上記同様な PチャンネルMOSFET Q5 と NチャンネルMOSFET Q8 がそれぞれ設けられる。これらの MOSFET Q5, Q8 のゲートは、上記 MOSFET Q1, Q4 のゲートと交差接続されることによって、上記制御信号  $C_0$ ,  $\overline{C_0}$  が交叉して供給される。

上記 2 つの回路の出力端子は共通接続され、ラッチ回路を構成する入力回路としての CMOS インバータ回路 IV1 の入力端子に接続される。このインバータ回路 IV1 は、クロックドインバータ回路とされ、クロック信号  $\omega_{IV}$  により動作状態にされる。上記インバータ回路 IV1 の出力信号は、CMOS インバータ回路 IV2 の入力端子に伝えられる。このインバータ回路 IV2 の出力信号は、クロックドインバータ回路 IV3 を介してその入力に帰還される。このクロックドインバ

ク回路IV3は、上記クロック信号 $\phi_{cs}$ の反転信号によって動作状態にされる。上記クロックドインバータ回路IV1～IV3によるラッチ回路は、その動作モードに応じてクロックドシリアル信号CSがロウレベルからハイレベルに変化するタイミングで、上記マルチプレクサ回路を通した信号の取り込み動作と、クロックドインバータ回路IV1が動作状態にされ、クロックドインバータ回路IV3が非動作状態にされることにより、マルチプレクサ回路からの信号をそのまま伝えるステディック回路としての動作を行う。

上記ラッチ回路を構成するCMOSインバータ回路IV3の出力信号は、CMOSインバータ回路IV4の入力端子に供給され、このインバータ回路IV4の出力端子から、反転内部アドレス信号 $\bar{a}_i$ が送出される。このインバータ回路IV4の出力信号は、CMOSインバータ回路IV5の入力端子に供給され、このインバータ回路IV5の出力端子から非反転の内部アドレス信号 $a_i$ が送出される。

アドレスカウンタ回路ADCは、複数形態にされたフリップフロップ回路FF0～FF9と、それぞれのフリップフロップ回路FF0～FF9のセット入力に NANDゲート回路G0～G9を介してアドレスバッファC-ADBの内部アドレス信号 $a_0 \sim a_9$ がそれぞれ供給される。これらのゲート回路G0～G9は、後述するように、内部アドレス信号による高速選択動作モードにされた時に発生される「ショットパルス $\phi_{cs'}$ 」によりゲートを開き、上記外部端子から供給されたアドレス信号と対応したアドレス信号が初期値として各フリップフロップ回路FF0～FF9に取り込まれる。また、初段のフリップフロップ回路FF0の計数入力には、クロックドシリアル信号CSに基づいて形成された内部信号 $c_0$ のエッジ、例えばハイレベルからロウレベルへの立ち下がり時にその計数動作を行う。フリップフロップ回路FF0のキャリー信号は、次段FF1の計数入力に供給される。これによって、バイナリーカウンタ動作が行われる。

次に、第3回ないし第5回に示したタイミング図を参照して、上記アドレスバッファC-ADBとアドレスカウンタ回路ADCの選択的な動作により実現される3種類の連続アクセスモードを説明する。

第3回には、ステディックカラムモードによる読み出し動作を説明するためのタイミング図が示されている。

チップイネーブル信号 $\overline{CB}$ がハイレベルからロウレベルに変化するタイミングにおいて、クロックドシリアル信号CSがハイレベルなら、外部端子から供給されるアドレス信号AY0～AY9による連続アクセスモードとされる。ステディックカラムモードでは、上記クロックドシリアル信号CSは、ハイレベルのままに維持される。このようにすることによって、第2回に示したマルチプレクサ回路の制御信号 $c_0$ がハイレベルに、 $\overline{c_0}$ がロウレベルに固定される。この結果、PチャンネルMOSFETQ1とNチャンネルMOSFETQ4がオン状態に維持されるため、マルチプレ

クサ回路は外部端子側の回路が動作状態にされる。上記チップイネーブル信号 $\overline{CB}$ のロウレベルにより、内部信号 $c_0$ がハイレベルにされ、外部端子から供給されるアドレス信号AY0～AY9は、それに対応された NANDゲート回路G1等と上記マルチプレクサ回路を通してラッチ回路を構成するクロックドインバータ回路IV1の入力に伝えられる。このとき、クロック信号 $\phi_{cs}$ が、例えばハイレベルに維持されることにより、クロックドインバータ回路IV1が動作状態に、帰還用のクロックドインバータ回路IV3が非動作状態にされる。この結果、ラッチ回路は、その入力信号をそのまま伝えるバッファ回路としての動作を行うものとなる。

したがって、外部端子から供給されるロウ系のアドレス信号AXとカラム系のアドレス信号AYにより、メモリセルの選択動作が行われる。例えば、図示しないが、ライトイネーブル信号 $\overline{WE}$ がハイレベルの読み出し動作の時、出力イネーブル信号 $\overline{OB}$ がロウレベルにされると、選択されたノ

モリセルの記憶情報  $D_{out}$  が外部端子 D へ送出される。上記状態において、カラム系のアドレス信号 AY (AY0 ~ AYn) を変化させると、上記アドレスパッファ C - ADB がこれに応答して内部アドレス信号を変化させる。これにより、カラムデコーラ C - DCR1 又は C - DCR2 がそれを解読してカラムスイッチ回路の切り換えが行われ、その都度切り換えられたメモリアレイの相補データ線の信号が外部端子 D へ送出される。以上がスクエアックカラムモードでの読み出し動作である。このスクエアックカラムモードでは、任意のタイミングでのアドレス切り換えによる連続アクセスが可能にされる。なお、書き込み動作の場合には、上記アドレス信号 AY の変化に同期して外部端子 D へ書き込み信号  $D_{in}$  を供給することによって、連続的な書き込み動作が実行される。

第4図には、ページモードによる読み出し動作を説明するためのタイミング図が示されている。

上記同様に、チップイネーブル信号 CS がハイレベルからロウレベルに変化するタイミングにお

いて、クロックドシリアル信号 CS がハイレベルなら、外部端子から供給されるアドレス信号 AY0 ~ AYn による連続アクセスモードとされる。上記クロックドシリアル信号 CS は、最初の 1 サイクル期間においてハイレベルのままに維持される。これにより、上記スクエアックカラムモードと同様に、最初の 8 ビット分の読み出し動作が行われる。ページモードでは、高速アクセスを実現するため、カラム系のアドレス切り換えをクロック信号により同期して行う。この実験例では、上記クロックドシリアル信号 CS が上記アドレス切り換えのためのクロック信号として使用される。すなわち、クロックドシリアル信号 CS をロウレベルにすると、ラッチ回路の入力インバータ回路 IV1 が非動作状態に、帰還用インバータ回路 IV3 が動作状態にされる。これにより、外部端子から供給されるアドレス信号 AY が無効にされ、前に取り込んだアドレス信号を一旦削除する。次に、クロックドシリアル信号 CS をロウレベルからハイレベルに変化させると、このタイミングに

おいて、一時的に入力用インバータ回路 IV1 が動作状態に、帰還用インバータ回路 IV3 が非動作状態にされる。この結果、上記クロックドシリアル信号 CS のハイレベルへの立ち上がりエッジにおいて、外部端子から供給されたアドレス信号 AY (AY0 ~ AYn) の取り込みと保持が行われ、このラッチ回路の出力信号により内部アドレス信号が形成される。このようなタイミング信号による外部アドレス信号の取り込み方式により、アドレス信号のスキューを考慮することなく、直ちにカラム切り換えを行うことができる。これで、高速な連続アクセス（ページモード）を実現できるものである。なお、書き込み動作の場合には、上記クロックドシリアル信号 CS と同期して外部端子 D へ書き込み信号  $D_{in}$  を供給することによって、連続的な書き込み動作が実行される。

第5図には、高速シリアルモード（拡張ニブルモード）による読み出し動作を説明するためのタイミング図が示されている。

チップイネーブル信号 CS がハイレベルからロ

ウレベルに変化するタイミングにおいて、クロックドシリアル信号 CS がロウレベルなら、内部回路で形成されるアドレス信号による連続アクセスモード（高速シリアルモード）とされる。高速シリアルモードにおいては、外部端子から供給されるアドレス信号 AY の取り込みのために、チップイネーブル信号 CS がロウレベルにされたタイミングで一時的に第2図に示したマルチブレクサ回路の制御信号 C0 がハイレベルに、C1 がロウレベルにされる。この結果、外部端子から供給されるアドレス信号 AY の取り込みが行われ、これらのアドレス信号 AY は、そのときに発生するタイミング信号  $t_{cs}$  によってアドレスカウンタ回路 ADC に初期値として取り込まれる。

上記クロックドシリアル信号 CS のロウレベルにより、マルチブレクサ回路の制御信号 C0 がロウレベルに、C1 がハイレベルにされる結果、P チャンネル MOSFET Q5 と N チャンネル MOSFET Q8 がオン状態になり、マルチブレクサ回路はアドレスカウンタ回路 ADC 側の回路が動

作状態にされる。これにより、上記取り込まれたアドレス信号  $A_Y$  に対応された内部アドレス信号  $\overline{A_Y}$  等がラッチ回路に伝えられる。そして、特に制限されないが、クロックドシリアル信号 CS がハイレベルにされたタイミングにおいて、カラム系の選択動作が開始される。上記クロックドシリアル信号 CS のハイレベルへの立ち上がりにおいて、前記ページモードと同様に、ラッチ回路の入力用インバータ回路  $I_V 1$  が一時的に動作状態に、倍速用インバータ回路  $I_V 3$  が非動作状態にされる。これにより、上記初期値アドレス信号に対応されたアドレス信号  $\overline{A_Y}$  等の取り込みと保持が行われ、このラッチ回路の出力信号により内部アドレス信号が形成される。このカラムデータ回路 C - DCR 1 又は C - DCR 2 は、このアドレス信号を解読してデータ線選択信号を形成するので、既に取り込まれているロカム系のアドレス信号  $A_X$  に従って選ばれているワード線に結合されたメモリセルのうち、上記アドレス信号  $\overline{A_Y}$  等により選択されたデータ線に結合されたメモ

リセルからの記憶情報が外部端子 D へ送出される。上記クロックドシリアル信号 CS をロウレベルに変化させると、アドレスカウンタ回路 ADC の計数動作が行われ、その歩進されたアドレス信号が、上記クロックドシリアル信号 CS のロウレベルによって制御信号  $\overline{C_1}$  がロウレベルに、  $C_1$  がハイレベルにされるため、上記同様にラッチ回路の入力に伝えられる。クロックドシリアル信号 CS をロウレベルからハイレベルに変化させると、このタイミングにおいて、ラッチ回路が上記歩進されたアドレス信号の取り込み保持を行うため、カラム系の内部アドレス信号が変化される。これに随じてカラム切り換え動作が行われ、連続読み出し動作が行われる。この高速シリアルモードでは、前記のように外部端子からアドレス信号を供給するスタティックカラムモードのようにアドレス信号のスキューリングを考慮する必要が無いから、その分高速アクセス動作を行うことができる。なお、書き込み動作のときには、上記クロックドシリアル信号に同期して外部端子 D へ書き込み信号  $D_{16}$  を供給

すればよい。

#### (効 果)

(1) アドレスバッファに外部端子から供給されるアドレス信号をそのまま伝える機能と、外部端子から供給される所定の制御信号のエッジに同期して外部端子から供給されるアドレス信号を保持するラッチ機能を設けることにより、スタティックカラムモードのような非同期でのアドレス切り換えによる連続アクセスモードと、ページモードのような連続アクセスモードの両機能を併せ持つ半導体記憶装置を得ることができるという効果が得られる。

例アドレスバッファにマルチプレクサ機能を付加することにより、外部端子からのアドレス信号と内部で形成されたアドレス信号とを選択的に接続付けるようにし、これらを外部制御端子で制御することにより、アドレス信号のスキューリングを考慮することなく、高速にメモリセルの連続アクセスを行ふことができるという機能を持たせることができるものである。

以上記(1)及び(2)又は(3)により、2ないし3種類の連続アクセスモードの中から、そのシステム又はその時々の動作形態に応じて最も適切な連続アクセスモードを選ぶことができるという効果が得られる。

以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、この発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、クロックドシリアル信号 CS は、動作モードを指示する制御信号と、クロック信号から構成されてもよい。また、アドレスバッファに設けられるマルチプレクサ回路及びラッチ回路と、アドレスカウンタ回路の具体的回路は、種々の実施形態を採ることができるものである。

さらに、外部アドレス信号は、共通の外部端子からローアドレスストローブ信号 RAS とカラムアドレスストローブ信号 CAS により時系列的に供給するものとしてもよい。この場合、カラムアドレスストローブ信号 CAS に基づいて上記アド

レスバッファに設けられるラッチ回路に供給されるクロック信号を形成するものとすればよく、上記高速シリアル動作モードとページモードとを区別するための制御信号を追加すればよい。

## (利用分野)

この発明は、少なくともカラム系選択回路がスタティック型回路により構成されるダイナミック型RAMの他、スタティック型RAM等にも同様に利用することができるものである。

## 図面の簡単な説明

第1図は、この発明に係るダイナミック型RAMの一実施例を示す内部構成ブロック図。

第2図は、そのアドレスバッファとアドレスバッファの一実施例を示す回路図。

第3図は、その動作の1つであるスタティックカラムモードを説明するためのタイミング図。

第4図は、その動作の他の1つであるページモードを説明するためのタイミング図。

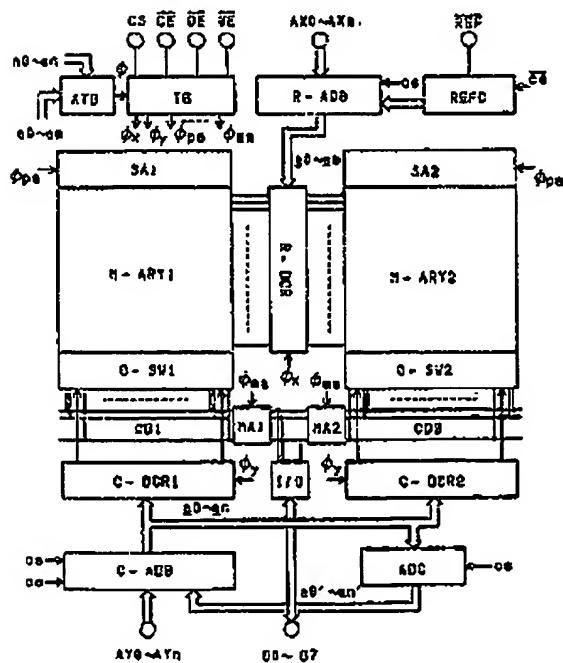
第5図は、その動作の更に他の1つである高速シリアルモードを説明するためのタイミング図で

ある。

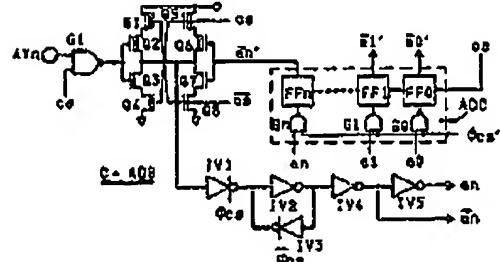
M-ARY1, M-ARY2…メモリアレイ、  
SA1, SA2…センスアンプ、R-ADB…  
・ロウアドレスバッファ、C-SW1, C-SW  
2…カラムスイッチ、C-ADB…カラムア  
ドレスバッファ、R-DCR…ロウアドレスデ  
コーダ、C-DCR1, C-DCR2…カラムア  
ドレスデコーダ、MA1, MA2…メインア  
ンプ、TC…内部制御信号発生回路、ATD…  
・アドレス信号変換検出回路、I/O…入出力  
回路、ADC…アドレスカウンタ回路、REF  
C…自動リフレッシュ回路

代理人弁理士 小川 勝男

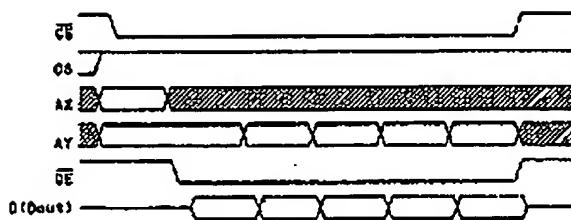
第1図



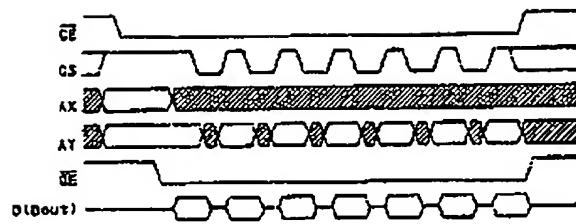
第2図



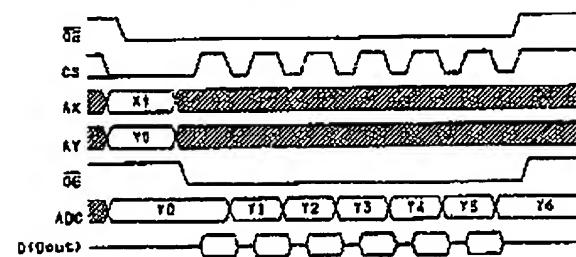
第3図



第 4 図



第 5 図



【公報種別】特許法第17条の2の規定による補正の掲載  
【部門区分】第6部門第4区分  
【発行日】平成5年(1993)9月10日

【公開番号】特開昭62-51093  
【公開日】昭和62年(1987)3月5日  
【年通号数】公開特許公報62-511  
【出願番号】特願昭60-189502  
【国際特許分類第5版】  
C11C 11/401  
【F I】  
C11C 11/34 362 C 8320-5L

手 書 特 権 証 書 ( 白色 )  
平成 4年 8月 6 日  
特許庁長官署  
事件の表示  
昭和 60 年 特許昭 第 189502 号  
発明の名称  
半導体記憶装置  
補正をする者  
事件との関係 特許出願人  
名 称 (510) 株式会社 日立製作所  
代理人  
同 所 〒100 東京都千代田区丸の内一丁目5番1号  
株式会社日立製作所内  
電話 東京 3212-1111 (大代表)  
氏 名 (8850) 井上 小 川 勝 月 (印)  
補正の対象  
明細書の特許請求の範囲の欄  
補正の内容  
1. 特許請求の範囲を別紙のとおり補正する。

別紙  
特許請求の範囲  
1. 複数の外部制御信号と、アドレス信号と  
が供給される外部端子と、上記外部制御信号  
に基づいて内部制御信号を形成するための内  
部制御信号発生回路と、アドレスパッファと、  
アドレスカウンタ回路と、メモリアレイと、  
センスアンプと、入出力回路とを有する半導  
体記憶装置であつて、上記アドレスカウンタ  
回路は上記外部端子から供給されるアドレス  
信号を初期値として取り込み、所定の制御信  
号に従って、非選択動作を行ない、内部アドレ  
ス信号を発生させるとともに、上記外部端子  
から供給されるアドレス信号と上記内部アド  
レス信号とも選択的に伝えるマルチブレクサ  
機能を持つものであることを特徴とする半導  
体記憶装置。  
2. 上記アドレスパッファは、カラム系のア

特開昭62-51093

ドレス信号であることを检测とする特許請求の範囲第1項記載の半導体記憶装置、

3. 上記アドレスバスファは、上記外部制御信号の組合せによりその動作モードが指定されることを检测とする特許請求の範囲第1項記載の半導体記憶装置。

代理人 泰博士 小川勝男